

SEMICONDUCTOR STORAGE

Patent Number: JP10172285
Publication date: 1998-06-26
Inventor(s): KAIHARA MITSUO
Applicant(s): RICOH CO LTD
Requested Patent: ☐ JP10172285
Application Number: JP19960330628 19961211
Priority Number(s):
IPC Classification: G11C11/41
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor storage for reducing a consumption current in high-voltage operation state and compensating for an operation in low-voltage operation state.

SOLUTION: When an address is inputted to an address input part 22, address transition signals ATDS0-ATDSn are outputted from address transition detection circuits ATD0-ATDn to a synchronization signal generation circuit 33. Then, the synchronization signal generation circuit 33 operates a first precharge circuit 25 and performs precharging for a memory cell array 24. A precharge end detection circuit 27 detects whether precharging is sufficient or not, and a precharge control circuit 37 operates a second precharge circuit 26 for performing precharging at a higher voltage level than the first precharge circuit 25 when precharging is not sufficient, namely in a low-voltage operation state.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-172285

(43) 公開日 平成10年(1998) 6月26日

(51) Int. Cl.⁶
G11C 11/41

識別記号

F I
G11C 11/34

M

審査請求 未請求 請求項の数 5 O L (全14頁)

(21) 出願番号 特願平8-330628

(22) 出願日 平成8年(1996)12月11日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 貝原 光男

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

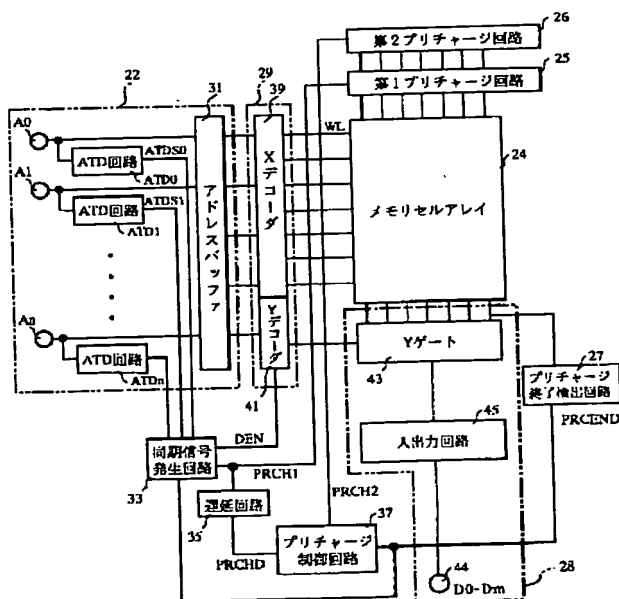
(74) 代理人 弁理士 鳥居 洋

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 高電圧動作状態のときには消費電流の低減を図り、低電圧動作状態のときには動作を補償する半導体記憶装置を提供すること。

【解決手段】 アドレスがアドレス入力部22に入力されると、アドレス遷移検出回路ATD0~ATDnからアドレス遷移信号(ATDS0~ATDSn)が同期信号発生回路33に出力される。そして、同期信号発生回路33は、第1プリチャージ回路25を動作させて、メモリアルレイ24に対してプリチャージを行う。プリチャージが十分であるかどうかをプリチャージ終了検出回路27は、検出しており、プリチャージが十分ではないとき(即ち、低電圧動作状態のとき)にプリチャージ制御回路37は、第1プリチャージ回路25よりも高い電圧レベルでプリチャージを行う第2プリチャージ回路26を動作させる。



【特許請求の範囲】

【請求項1】 ビット線とワード線とに接続されたメモリセルを備える記憶手段と、
前記ビット線に対してプリチャージを行う第1プリチャージ手段と、
前記ビット線に対して前記第1プリチャージ手段より高い電圧レベルでプリチャージを行う第2プリチャージ手段と、
前記ビット線に対するプリチャージが完了したことを検出する検出手段と、
前記検出手段が第1プリチャージ手段のプリチャージの完了を検出しないときに、前記第2プリチャージ手段により、前記ビット線にプリチャージを行わせる制御手段と、を備えることを特徴とする半導体記憶装置。

【請求項2】 ビット線とワード線とに接続されたメモリセルを備える記憶手段と、
前記記憶手段及びダミーメモリセルのビット線に対してプリチャージを行う第1プリチャージ手段と、
前記記憶手段のビット線に対して前記第1プリチャージ手段よりは高い電圧レベルでプリチャージを行う第2プリチャージ手段と、
前記ダミーメモリセルのビット線に対するプリチャージが完了したことを検出する検出手段と、
前記検出手段が第1プリチャージ手段のプリチャージの完了を検出しないときに、前記第2プリチャージ手段により、前記記憶手段のビット線にプリチャージを行わせる制御手段と、を備えることを特徴とする半導体記憶装置。

【請求項3】 前記検出手段は、前記第1プリチャージ手段のプリチャージが開始されてから所定時間内にプリチャージが完了するかどうかを検出することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項4】 前記検出手段は、前記第1プリチャージ手段のプリチャージが完了するかどうかを予め検出することを特徴とする請求項1又は2記載の半導体記憶装置。

【請求項5】 ビット線とワード線とに接続されたメモリセルを備える記憶手段と、
前記ビット線に対してプリチャージを行う第1プリチャージ手段と、
前記ビット線に対して前記第1プリチャージ手段よりは高い電圧レベルでプリチャージを行う第2プリチャージ手段と、
前記第1プリチャージ手段と同一の電圧レベルで疑似ダミーメモリセルのビット線に対してプリチャージを予め行う疑似プリチャージ手段と、
前記疑似ダミーメモリセルのビット線に対するプリチャージが完了するかどうかを検出する疑似検出手段と、
前記疑似検出手段がプリチャージの完了を検出しない場合に、前記第2プリチャージ手段により、前記ビット線

にプリチャージを行わせる制御手段と、を備えることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、RAM（ランダムアクセスメモリ）等に好適に用いられ、プリチャージを行なってメモリセルのデータの読出し又は書込みを行う半導体記憶装置に関する。

【0002】

10 【従来の技術】従来から、SRAM（スタティックランダムアクセスメモリ）等の半導体記憶装置は、アドレスがアドレス入力端子に入力されると、メモリセルのビット線に対してプリチャージを行い、入力されたアドレスに基づいてワード線を活性化するなどの処理を行って、メモリセルのデータの読出し又は書込みを行っている。

【0003】図8は従来の半導体記憶装置の内部構成を示すブロック図であり、図9は従来の半導体記憶装置のデータの読出動作を示すタイムチャートである。

20 【0004】従来の半導体記憶装置1は、アドレス入力端子A0～An、アドレス遷移検出回路ATD0～ATDn、同期信号発生回路2、プリチャージ回路3、メモリセルアレイ4、ダミーメモリセル群5、プリチャージ終了検出回路6、列デコーダ7、行デコーダ8、入出力回路9、入出力端子10、アドレスバッファ11、及び列ゲート12を備える。

30 【0005】アドレス遷移検出回路ATD0～ATDnは、アドレスが入力される各アドレス入力端子A0～Anに対してそれぞれ設けられる。例えば、データを読出すときにおいて、データの格納位置を指定するアドレスが前記アドレス入力端子A0～Anに入力されると（図9（a）参照）、前記アドレス遷移検出回路ATD0～ATDnは、アドレス遷移信号（ATDS0～ATDSn）を同期信号発生回路2に出力する（図9（b）参照）。

40 【0006】同期信号発生回路2は、アドレス遷移信号（ATDS0～ATDSn）が与えられると、プリチャージ制御信号（PRC）をプリチャージ回路3に出力する（図9（c）参照）。プリチャージ回路3は、前記プリチャージ信号（PRC）が与えられると、メモリセルアレイ4及びダミーメモリセル群5の列方向のビット線に電圧を印加してプリチャージを行う。そして、プリチャージ終了検出回路6は、ダミーメモリセル群5の列方向のビット線のプリチャージが所定の電圧レベルに達したかどうかを検出し、前記同期信号発生回路2にプリチャージ終了信号（PRCEND）を出力する（図9（d）参照）。

50 【0007】前記同期信号発生回路2は、プリチャージ終了信号（PRCEND）が与えられると、デコーダ活性化信号（DEN）を列デコーダ7及び行デコーダ8に出力する（図9（e）参照）。行デコーダ8は、アドレ

スバッファ11に一時的に格納されていたアドレスに基づいてワードライン選択信号(WL)を出力する(図9(f)参照)。また、このときに、列デコーダ7は、列ゲート12を制御して、入力されたアドレスに格納されているデータDA0~DAmを入出力部9を介して入出力端子10から読出す(図9(g)参照)。

【0008】

【発明が解決しようとする課題】 上述の半導体記憶装置1は、特に近年、保証電圧2V~5Vの範囲で動作することが要望されるとともに、携帯情報処理装置等の普及に伴って低消費電力が図られている。

【0009】 前記半導体記憶装置1は、消費電流を低減させるためにプリチャージ回路3にnチャネル型のMOSトランジスタを用いて、メモリセルアレイ4のビット線のプリチャージを行っている。例えば、nチャネル型のMOSトランジスタのゲート電極に $V_{tn}(0.8V)$ の電圧レベルを印加することで、前述のプリチャージ動作が行われるとする。このときに、前記ビット線にプリチャージされる電圧レベルは、電源電圧 $V_{cc}-V_{tn}(0.8V)-\alpha$ の示す値となる。なお、 α は半導体記憶装置1が構成される基板の特性によって定められる。したがって、高電圧動作状態(電源電圧 $V_{cc}=5V$)の場合にビット線の電圧レベルは約3.6V程度となり、消費電流の低減化が図られている。

【0010】 しかしながら、低電圧動作状態(電源電圧 $V_{cc}=2V$)の場合に、ビット線の電圧レベルはビット線のプリチャージに少なくとも必要な電源電圧 V_{cc} の半分以上の電圧レベルにならない。したがって、ビット線のプリチャージ終了状態が検出できず、データの読出動作を行うことができないという問題が生じている。

【0011】 この問題を解決するために、ビット線の電圧レベルを電源電圧 V_{cc} のレベルに設定するpチャネル型のMOSトランジスタをプリチャージ回路3に用いることが考えられる。しかし、このプリチャージ回路3は、高電圧動作状態(電源電圧 $V_{cc}=5V$)の場合でもビット線の電圧レベルを電源電圧 V_{cc} の電圧レベルに設定するので、消費電流が増大するという問題が生じている。

【0012】 また、MOSトランジスタのpチャネル型及びnチャネル型の特性の相違を利用して、ビット線のイコライズを行う技術が特公平4-56399号公報に開示されている。しかし、この技術は、消費電流を低減させるものではなく、データの読出し及び書込みの処理速度を向上させるための技術である。

【0013】 本発明の目的は、高電圧動作状態のときには消費電流の低減を図り、低電圧動作状態のときには動作を補償する半導体記憶装置を提供することである。

【0014】

【課題を解決するための手段】 本発明の半導体記憶装置は、上記の課題を解決するために、ビット線とワード線

とに接続されたメモリセルを備える記憶手段と、前記ビット線に対してプリチャージを行う第1プリチャージ手段と、前記ビット線に対して前記第1プリチャージ手段より高い電圧レベルでプリチャージを行う第2プリチャージ手段と、前記ビット線に対するプリチャージが完了したことを検出する検出手段と、前記検出手段が第1プリチャージ手段のプリチャージの完了を検出しないとき、前記第2プリチャージ手段により、ビット線にプリチャージを行わせる制御手段と、を備えることを特徴とする。

【0015】 また、本発明の半導体記憶装置は、ビット線とワード線とに接続されたメモリセルを備える記憶手段と、前記記憶手段及びダミーメモリセルのビット線に対してプリチャージを行う第1プリチャージ手段と、前記記憶手段のビット線に対して前記第1プリチャージ手段よりは高い電圧レベルでプリチャージを行う第2プリチャージ手段と、前記ダミーメモリセルのビット線に対するプリチャージが完了したことを検出する検出手段と、前記検出手段が第1プリチャージ手段のプリチャージの完了を検出しないとき、前記第2プリチャージ手段により、前記記憶手段のビット線にプリチャージを行わせる制御手段と、を備えることを特徴とする。

【0016】 半導体記憶装置の使用される動作状態は、高電圧動作状態となる場合もあれば、低電圧動作状態となる場合もある。上述の構成によれば、第1プリチャージ手段は、例えば、アドレスが入力されると、前記記憶手段のビット線に対してプリチャージを行う。半導体記憶装置の動作状態が高電圧動作状態であるときには、前記検出手段は前記記憶手段のビット線に対して行われたプリチャージが完了したことを検出する。即ち、検出手段は、記憶手段のビット線のプリチャージの電圧レベルが所定の電圧レベル以上であることを検出する。これによって、第2プリチャージ手段を用いて前記記憶手段のビット線に対してプリチャージを行うことがない。したがって、高い電圧レベルでプリチャージを行う第2プリチャージ手段を用いないので、消費電流を低減することができる。これに対して、半導体記憶装置の動作状態が低電圧動作状態であるときには、前記検出手段は、前記記憶手段のビット線に対して行われたプリチャージが完了したことを検出しない。即ち、前記検出手段は前記記憶手段のビット線のプリチャージの電圧レベルが所定の電圧レベル以上であることを検出できない。このときに、制御手段は第2プリチャージ手段を用いて前記記憶手段のビット線に対してプリチャージを行う。したがって、第1プリチャージ手段を用いた前記記憶手段のビット線に対するプリチャージが完了しないときには、第2プリチャージ手段を用いてプリチャージを行うので、確実に記憶手段のビット線に対してプリチャージを行うことができる。また、記憶手段のダミーメモリセルのビット線に対するプリチャージが完了したかどうかを検出手

段が検出することで、検出手段が前記記憶手段のビット線に対するプリチャージに与える影響を防止することができる。即ち、検出手段によるプリチャージの電圧レベルの低下等を防止することができる。このため、さらに確実に前記記憶手段のビット線に対するプリチャージを行うことができる。

【0017】また、前記検出手段は、前記第1プリチャージ手段のプリチャージが開始されてから所定時間内にプリチャージが完了するかどうかを検出してもよい。検出手段は第1プリチャージ手段のプリチャージが完了するかどうかを検出している。具体的には、検出手段は、プリチャージが開始してから完了するまでの時間を保持しておき、実際に記憶手段又はダミーメモリセルのビット線に対して第1プリチャージ手段のプリチャージが開始してから前記時間が経過するまでプリチャージの完了を検出する。

【0018】また、前記検出手段は、前記第1プリチャージ手段のプリチャージが完了するかどうかを予め検出するようにしてもよい。具体的には、検出手段は、電源投入時に、第1プリチャージ手段のプリチャージが完了するかどうかを検出する。そして、完了しないことが検出されると、実際に記憶手段のビット線に対してプリチャージを行うときに、制御手段は直ちに第2プリチャージ手段を用いることとなる。

【0019】また、本発明の半導体記憶装置は、ビット線とワード線とに接続されたメモリセルを備える記憶手段と、前記ビット線に対してプリチャージを行う第1プリチャージ手段と、前記ビット線に対して前記第1プリチャージ手段よりは高い電圧レベルでプリチャージを行う第2プリチャージ手段と、前記第1プリチャージ手段と同一の電圧レベルで疑似ダミーメモリセルのビット線に対してプリチャージを予め行う疑似プリチャージ手段と、前記疑似ダミーメモリセルのビット線に対するプリチャージが完了するかどうかを検出する疑似検出手段と、前記疑似検出手段がプリチャージの完了を検出しない場合に、前記第2プリチャージ手段により、前記ビット線にプリチャージを行わせる制御手段と、を備えることを特徴とする。

【0020】上述の構成によれば、第1プリチャージ手段を用いて前記記憶手段のビット線に対するプリチャージを行う。半導体記憶装置の動作状態が高電圧動作状態であるときには、前記記憶手段のビット線に対するプリチャージは完了する。これに対して、半導体記憶装置の動作状態が低電圧動作状態であるときには、第1プリチャージ手段による前記記憶手段のビット線に対するプリチャージは完了しない。しかし、前記疑似検出手段は、予め（例えば、電源投入時）疑似プリチャージ手段によるプリチャージが完了しないことを検出している。即ち、第1プリチャージ手段によるプリチャージが完了しないことを検出している。したがって、前記制御手段

は、前記ビット線に対するプリチャージを行うときに直ちに第2プリチャージ手段を用いることとなる。これによって、第2プリチャージ手段を用いて前記ビット線に対するプリチャージを行うのに所定時間を要する半導体記憶装置の処理動作よりも高速に処理動作を行うことができる。

【0021】

【発明の実施の形態】以下に、図を用いつつ本発明の半導体記憶装置について説明を行なう。

【0022】（実施の形態1）図1は、実施の形態1の半導体記憶装置の内部構成を示すブロック図である。半導体記憶装置20は、アドレス入力部22、同期信号発生回路33、遅延回路35、プリチャージ制御回路37、メモリセルアレイ24、第1プリチャージ回路25、第2プリチャージ回路26、プリチャージ終了検出回路27、データ入出力部28及びデコード部29を備える。

【0023】アドレス入力部22は、アドレス入力端子A0～An、アドレス遷移検出回路ATD0～ATDn及びアドレスバッファ31を備える。アドレス入力部22は、アドレス入力端子A0～Anから入力したアドレスをアドレスバッファ31に一時的に格納するとともに、前記アドレス遷移検出回路ATD0～ATDnからアドレス遷移信号（ATDS0～ATDSn）を同期信号発生回路33に出力する。このアドレス遷移検出回路ATD0～ATDnは、入力されるアドレスの変化を検出して前記アドレス遷移信号（ATDS0～ATDSn）を出力している。

【0024】デコード部29は、Xデコーダ39及びYデコーダ41で構成される。そして、デコード部29のXデコーダ39及びYデコーダ41は、同期信号発生回路33からデコード活性化信号（DEN）が与えられると、前記アドレス入力部22のアドレスバッファ31からアドレスを入力する。Xデコーダ39はそのアドレスに基づいて行方向のワード線を選択してワードライン選択信号（WL）をメモリセルアレイ24に出力し、Yデコーダ41は前記アドレスに基づいてデータ入出力部28のYゲート43（後述する）に選択信号を供給している。

【0025】メモリセルアレイ24は、データを格納する複数のメモリセルが縦（Y：列方向）横（X：行方向）に配置されて構成される。1つのメモリセルは、列方向に形成される一対のビット線及び行方向に形成される1本のワード線に接続されている。

【0026】同期信号発生回路33は、前記アドレス遷移信号（ATDS0～ATDSn）が与えられると、第1プリチャージ回路25を活性化（プリチャージを開始すること）させる第1プリチャージ制御信号（PRCH1）を第1プリチャージ回路25及び遅延回路35に与える。また、同期信号発生回路33は、プリチャージ終

了検出回路27からプリチャージ終了検出信号(PRCEND)が与えられている。プリチャージ終了検出信号(PRCEND)は、メモリセルアレイ24のビット線のプリチャージの電圧レベルが所定の電圧レベル以上であることを検出したこと(即ち、プリチャージが完了したこと)を示す信号である。このプリチャージ終了検出信号(PRCEND)が与えられると、同期信号発生回路33は、デコード活性化信号(DEN)をデコード部29に出力している。

【0027】遅延回路35は、前記第1プリチャージ制御信号(PRCH1)が与えられてから所定時間T1だけ経過したときに、遅延信号(PRCHD)をプリチャージ制御回路37に与える。

【0028】プリチャージ制御回路37は、プリチャージ終了検出回路27からプリチャージ終了検出信号(PRCEND)が与えられ、遅延回路35から遅延信号(PRCHD)が与えられる。プリチャージ制御回路37は、前記遅延信号(PRCHD)が与えられたときに前記プリチャージ終了検出信号(PRCEND)が与えられていないと、第2プリチャージ回路26を活性化する第2プリチャージ制御信号(PRCH2)をプリチャージ回路26に出力する。これに対して、プリチャージ制御回路37は、前記遅延信号(PRCHD)が与えられたときに前記プリチャージ終了検出信号(PRCEND)が与えられていると、第2プリチャージ制御信号(PRCH2)を出力しない。つまり、プリチャージ制御回路37は、所定時間T1内にメモリセルアレイ24のビット線のプリチャージの電圧レベルが所定レベル以上でないとき(即ち、プリチャージが完了しないとき)に第2プリチャージ回路26を活性化させる第2プリチャージ制御信号(PRCH2)を出力している。

【0029】第1プリチャージ回路25は、前記メモリセルアレイ24の各ビット線に対して設けられるプリチャージ用のnチャネル型のMOSトランジスタと、一对のビット線に対して設けられるイコライズ用のnチャネル型のMOSトランジスタとを備える。第1プリチャージ回路25の各プリチャージ用のMOSトランジスタは、同期信号発生回路33から第1プリチャージ制御信号(PRCH1)が与えられると、印加される電源電圧Vccを用いて、前記メモリセルアレイ24の各ビット線に対してプリチャージを行う。イコライズ用のMOSトランジスタは、前記第1プリチャージ制御信号(PRCH1)が与えられると、一对のビット線の電位を等しくしている。

【0030】第2プリチャージ回路26は、上述の第1プリチャージ回路25の前記プリチャージ用のnチャネル型のMOSトランジスタをpチャネル型のMOSトランジスタに置き換えた場合と同様の構成であり、前記第1プリチャージ回路25と並列にメモリセルアレイ24の各ビット線に接続されている。第2プリチャージ回路

26の各プリチャージ用のMOSトランジスタは、第2プリチャージ制御信号(PRCH2)が与えられると、印加される電源電圧Vccを用いて、メモリセルアレイ24の各ビット線に対してプリチャージを行う。イコライズ用のpチャネル型のMOSトランジスタは、前記第2プリチャージ制御信号(PRCH2)が与えられると、一对のビット線の電位を等しくしている。

【0031】プリチャージ終了検出回路27は、前記メモリセルアレイ24のビット線のプリチャージの電圧レベルが検出電圧レベル以上であるかどうかを検出し、検出電圧レベル以上であるときにプリチャージ終了検出信号(PRCEND)を同期信号発生回路33及びプリチャージ制御回路37に出力する。

【0032】データ入出力部28は、メモリセルアレイ24のデータの読出し又は書込みを行なうYゲート43、センスアンプ及び書込み回路などを備える入出力回路45、及びデータの入出力を行う入出力端子44を備える。そして、データ入出力部28は、前記Yデコーダ41から与えられた選択信号によって、メモリセルアレイ24のデータの読出し、又は書込みを行なう。

【0033】次に上述した構成における半導体記憶回路20の読出し動作について説明を行なう。図2は、前記半導体記憶回路20の読出し動作を説明するためのタイムチャートである。なお、半導体記憶回路20は、低電圧動作状態(例えば、電源電圧2V)で動作する回路に用いられても、高電圧動作状態(例えば、電源電圧5V)で動作する回路に用いられてもよい。

【0034】以下に、半導体記憶回路20が低電圧動作状態で動作する場合について述べる。

【0035】前記アドレス入力部22のアドレス入力端子A0~Anから新しいアドレスが入力されると(図2(a)参照)、アドレス遷移検出回路ATD0~ATDnはアドレスの変化を示すハイレベルのアドレス遷移信号(ATD0~ATDn)を同期信号発生回路33に出力する(図2(b)参照)。これによって、アドレスが半導体記憶回路20に入力されたことが検出される。

【0036】同期信号発生回路33は、ハイレベルの各アドレス遷移信号(ATD0~ATDn)が与えられると、ハイレベルの第1プリチャージ制御信号(PRCH1)を第1プリチャージ回路25及び遅延回路35に出力する(図2(c)参照)。第1プリチャージ回路25は、ハイレベルの第1プリチャージ制御信号(PRCH1)が与えられると、メモリセルアレイ24の各ビット線をプリチャージする。プリチャージ終了検出回路27は、1本のビット線のプリチャージの電圧レベルが検出電圧レベル以上であるかどうかを検出する。低電圧動作状態の場合に、ビット線のプリチャージの電圧レベルは検出電圧レベル以上にはならないので、プリチャージ終了検出回路27は、プリチャージ終了検出信号(PRCEND)を出力しない(図2(e)実線参照:ハイレベ

ルの信号)。

【0037】同期信号発生回路33から第1プリチャージ制御信号(PRCH1)が出力されて所定時間T1が経過後、遅延回路35からハイレベルの遅延信号(PRCHD)がプリチャージ制御回路37に与えられる(図2(d)参照)。

【0038】プリチャージ制御回路37は、遅延信号(PRCHD)が入力されたときに、プリチャージ終了検出信号(PRCEND)が入力されないの、ローレベルの第2プリチャージ制御信号(PRCH2)を第2プリチャージ回路26に出力する(図2(f)実線参照)。つまり、第2プリチャージ回路26を用いてメモリセルアレイ24の各ビット線のプリチャージが行われることとなる。

【0039】第2プリチャージ回路26は、ローレベルの第2プリチャージ制御信号(PRCH2)が入力されると、メモリセルアレイ24の各ビット線のプリチャージを行う。第2プリチャージ回路26による各ビット線のプリチャージが行なわれると、プリチャージ終了検出回路27は、ビット線のプリチャージの電圧レベルが検出電圧レベルであることを検出し、同期信号発生回路33及びプリチャージ制御回路37にプリチャージ終了検出信号(PRCEND)を出力する(図2(e)実線参照：ローレベルの信号)。

【0040】同期信号発生回路33は、プリチャージ終了検出信号(PRCEND)が入力されると、ハイレベルのデコード活性化信号(DEN)をデコード部29に出力するとともに前記第1プリチャージ制御信号(PRCH1)をハイレベルからローレベルに立下げて、第1プリチャージ回路25のプリチャージ動作を終了している(図2(c)及び図2(g)実線参照)。また、プリチャージ制御回路37は、プリチャージ終了検出信号(PRCEND)が入力されると、前記第2プリチャージ制御信号(PRCH2)をローレベルからハイレベルに立上げて、第2プリチャージ回路26のプリチャージ動作を終了している(図2(f)実線参照)。

【0041】デコード部29のXデコーダ39及びYデコーダ41は、ハイレベルのデコード活性化信号(DEN)が与えられると、アドレス入力部22のアドレスバッファ31に一時的に格納されていたアドレスを入力する。Xデコーダ39は、そのアドレスに基づいてワードライン選択信号(WL)をメモリセルアレイ24のワード線に与える(図2(h)実線参照)。また、Yデコーダ41は、前記アドレスに基づいて選択信号をYゲート43に出力している。Yゲート43は、メモリセルアレイ24に格納されたデータを読み出し、入出力回路45を介して入出力端子44からデータD0~Dmを出力している(図2(i)実線参照)。

【0042】次に、半導体記憶装置20が高電圧動作状態で動作する場合について以下に述べる。なお、アドレ

スがアドレス入力部22に入力されてから第1プリチャージ回路26が活性化されてメモリセルアレイ24の各ビット線に対してプリチャージが行われるまでの動作は前述の低電圧動作状態の場合と同様であるので説明を省略する。

【0043】この場合に、第1プリチャージ回路26を用いることでメモリセルアレイ24の各ビット線のプリチャージの電圧レベルが検出電圧レベル以上になるの、遅延信号(PRCHD)がプリチャージ制御回路37に入力されたときに、プリチャージ制御回路37にはプリチャージ終了検出回路27からプリチャージ終了検出信号(PRCEND)が入力されている(図2(e)点線参照：ローレベルの信号)。したがって、プリチャージ制御回路37は、第2プリチャージ回路26を活性化するローレベルの第2プリチャージ制御信号(PRCH2)を第2プリチャージ回路26に出力しない(図2(f)点線参照)。即ち、第2プリチャージ回路26を用いてメモリセルアレイ24の各ビット線のプリチャージを行うことがない。

【0044】また、同期信号発生回路33は、プリチャージ終了検出回路27からプリチャージ終了検出信号(PRCEND)が入力されると、ハイレベルのワード線活性化信号(DEN)をデータ入出力部28に出力するとともに前記第1プリチャージ制御信号(PRCH1)をハイレベルからローレベルに立下げ、第1プリチャージ回路25によるプリチャージ動作を終了する(図2(c)及び図2(g)点線参照)。これによって、上述したような読出動作が、図2に示される点線のタイミングで行なわれ、入力されたアドレスによってメモリセルアレイ24からデータが読出され、データ入出力部28の入出力端子44からデータD0~Dmが出力される。

【0045】上述のように、低電圧動作状態では第2プリチャージ回路26を用いてメモリセルアレイ24のビット線をプリチャージし、高電圧動作状態では第1プリチャージ回路25を用いてメモリセルアレイ24のビット線をプリチャージする。したがって、低電圧動作状態では確実にビット線をプリチャージすることができ、高電圧動作状態では消費電流の低減を図ることができる。

【0046】(実施の形態2)図3は、実施の形態2の半導体記憶装置50の電気的内部構成を示すブロック図である。実施の形態1の半導体記憶装置20の構成と同様の構成には、同一の参照符を付して説明を省略する。実施の形態2の半導体記憶装置50は、上述の実施の形態1の半導体記憶装置20に対してさらに複数のダミーメモリセルで構成されたダミーメモリセル群51を備え、プリチャージ終了検出回路27はダミーメモリセル群51のプリチャージ終了状態を検出する構成である。

【0047】図4は、ダミーメモリセル群51に構成されるダミーメモリセル52及びプリチャージ終了検出回

路27に関する内部構成を示す回路図である。各ダミーメモリセル52は、2つのn型のMOSトランジスタ53、54と、2つのインバータ回路55、56とを備える。MOSトランジスタ53は前記メモリセルアレイ24から延長されたワード線W1~Wnに接続されるとともにビット線B2にも接続されている。さらにMOSトランジスタ53には、電源電圧Vccがインバータ回路55を介して印加されている。MOSトランジスタ54は前記メモリセルアレイ24から延長されたワード線W1~Wnに接続されるとともにビット線B1にも接続されている。さらにMOSトランジスタ54には、接地レベル(GNDレベル)がインバータ回路56を介して与えられている。

【0048】プリチャージ終了検出回路27は、否定論理積回路59で構成されている。この否定論理積回路59の一方入力端子には、検出電圧レベル(ICE)が入力され、他方入力端子にビット線B2の電圧レベルが入力される。これによって、他方入力端子に入力されるビット線B2の電圧レベルが前記検出電圧レベル(ICE)である場合にローレベルのプリチャージ終了検出信号(PRCEND)を出力する。

【0049】上述の構成によれば、プリチャージ終了検出回路27は、実際にはデータの格納及び読出しが行われないダミーメモリセル群51のプリチャージの電圧レベルが検出電圧レベル(ICE)以上であるかどうかを検出する。したがって、プリチャージ終了検出回路27はメモリセルアレイ24に接続されないの、プリチャージ終了検出回路27は、実際にデータの格納及び読出を行うメモリセルアレイ24のプリチャージ状態に影響(例えば、プリチャージの電圧レベルの低下等)を与えずにプリチャージの電圧レベルを検出することができる。

【0050】(実施の形態3)図5は、実施の形態3の半導体記憶装置70の電氣的内部構成を示すブロック図である。実施の形態2の半導体記憶装置50の構成と同様の構成には、同一の参照符を付して説明を省略する。実施の形態3の半導体記憶装置70は、実施の形態2の半導体記憶装置50に加えて、電源が投入されたことを検出して電源投入検出信号(DCIN)を出力する電源投入検出回路71と、プリチャージ状態を予め設定する疑似プリチャージ部72と、予め設定されたプリチャージが完了したかどうかを検出し完了したときに疑似プリチャージ検出信号(PPRC)を出力する疑似プリチャージ判断検出回路74とを備える。なお、同期信号発生回路33から遅延回路35に入力されていた第1プリチャージ制御信号(PRCH1)は、直接プリチャージ制御回路77に入力されている。

【0051】図6は、疑似プリチャージ部72及び疑似プリチャージ判断検出回路74の内部構成を示した回路図である。疑似プリチャージ部72は、疑似プリチャ

ジ回路76と、ダミーメモリセル52aとを備える。なお、ダミーメモリセル52aは、図4に示される実施の形態2のダミーメモリセル52と同様の構成であり、同一の符号を付して説明を省略する。また、ダミーメモリセル52aが接続されるワード線W1~Wnは、メモリセルアレイ24に接続されるのではなく接地されている。

【0052】疑似プリチャージ回路76は、前述の第1プリチャージ回路25と同様の構成であり、2つのプリチャージ用のnチャネル型のMOSトランジスタ82、84と、1つのイコライズ用のnチャネル型のMOSトランジスタ86とを備える。そして、電源投入検出回路71から半導体記憶装置70に電源投入がなされたことを示す電源投入検出信号(DCIN)が与えられると、MOSトランジスタ82は印加される電圧を用いてビット線B1に対してプリチャージを行い、MOSトランジスタ84も同様にビット線B2に対してプリチャージを行う。また、イコライズ用のMOSトランジスタ86は、前記電源投入検出回路71から電源投入検出信号(DCIN)が与えられると、ビット線B1、B2の電位を等しくしている。

【0053】疑似プリチャージ判断検出回路74は、図4に示すプリチャージ終了検出回路27と同様の構成であり、疑似プリチャージ判断検出回路74の否定論理積回路59の一方端子には、図4に示すプリチャージ終了検出回路27に入力される検出電圧レベル(ICE)と同一の電圧レベルが入力されている。そして、疑似プリチャージ判断検出回路74は、他方入力端子に入力されるビット線B2の電圧レベルが前記検出電圧レベル(ICE)である場合に疑似プリチャージ検出信号(PPRC)を出力する。

【0054】以下に実施の形態3の半導体記憶装置70の読出動作について説明を行う。図7は、半導体記憶装置70の読出動作を説明するためのタイムチャートである。

【0055】半導体記憶装置70は、上述の構成の疑似プリチャージ部72及び疑似プリチャージ判断検出回路74を用いて、半導体記憶装置70を用いる前、即ち電源投入時に第1プリチャージ回路25でメモリセルアレイ24及びダミーメモリセル群51のビット線に対するプリチャージが完了するかどうかを検出している。電源投入検出回路71が半導体記憶装置70への電源投入を検出すると、電源投入検出回路71は疑似プリチャージ回路76に電源投入検出信号(DCIN)を与える。そして、疑似プリチャージ回路76は、ビット線B1、B2をプリチャージする。そして、疑似プリチャージ判断検出回路74は、ビット線B2の電圧レベルを検出して疑似プリチャージ検出信号(PPRC)を出力する(図7(c)参照)。なお、疑似プリチャージ検出信号(PPRC)がハイレベルの場合(即ち、プリチャージの電

圧レベルが前記検出電圧レベル (ICE) 以上の場合) は、低電圧動作状態を示し、第1プリチャージ回路25ではプリチャージが完了しないことを示す (図7 (c) 実線参照)。また、疑似プリチャージ検出信号 (PPRC) がローレベルの場合 (即ち、プリチャージの電圧レベルが前記検出電圧レベル (ICE) 未満の場合) は、高電圧動作状態を示し、第1プリチャージ回路25でプリチャージが完了することを示す (図7 (c) 破線参照)。

【0056】以下に、低電圧動作状態での半導体記憶装置70の読出動作について説明する。

【0057】アドレス入力部22のアドレス入力端子A0~Anから新しいアドレスが入力されると (図7 (a) 参照)、アドレス遷移検出回路ATD0~ATDnはアドレスが入力されたことを示すハイレベルのアドレス遷移信号 (ATDS0~ATDSn) を同期信号発生回路33に出力する (図7 (b) 参照)。

【0058】同期信号発生回路33は、ハイレベルのアドレス遷移信号 (ATDS0~ATDSn) が与えられ、ハイレベルの第1プリチャージ制御信号 (PRCH1) を第1プリチャージ回路25及びプリチャージ制御回路77に出力する (図7 (d) 参照)。前述したように、低電圧動作状態では第1プリチャージ回路25を用いてメモリセルアレイ24のビット線に対してプリチャージを行っても、プリチャージの電圧レベルは検出電圧レベル (ICE) 以上にならない。疑似プリチャージ判断検出回路74は、このことを電源投入時に予め検出しており、ハイレベルの疑似プリチャージ検出信号 (PPRC) をプリチャージ制御回路77に出力している。プリチャージ制御回路77は、ハイレベルの疑似プリチャージ検出信号 (PPRC) を入力しており、さらに第1プリチャージ制御信号 (PRCH1) が与えられると、直ちにローレベルの第2プリチャージ制御信号 (PRCH2) を第2プリチャージ回路26に出力して (図7 (e) 実線参照)、第2プリチャージ回路26を活性化している。

【0059】第2プリチャージ回路25は、ローレベルの第2プリチャージ制御信号 (PRCH2) が与えられると、メモリセルアレイ24及びダミーメモリセル群51の各ビット線をプリチャージする。なお、このときにハイレベルの第1プリチャージ制御信号 (PRCH1) が与えられている第1プリチャージ回路26もメモリセルアレイ24及びダミーメモリセル群51の各ビット線をプリチャージしている。

【0060】プリチャージ終了検出回路27は、ダミーメモリセル群51のビット線B2が検出電圧レベル (ICE) の電圧レベル以上であるかどうかを検出し、プリチャージ終了検出信号 (PRCEND) を出力する (図7 (f) 参照)。

【0061】前記プリチャージ終了検出信号 (PRCE

ND) は、同期信号発生回路33に入力されている。同期信号発生回路33は、プリチャージ終了検出信号 (PRCEND) が入力されると、ハイレベルのデコード活性化信号 (DEN) をデータ入出力部28に出力するとともに前記第1プリチャージ制御信号 (PRCH1) をハイレベルからローレベルに立下げ、第1プリチャージ回路25でのプリチャージ動作を終了している。 (図7 (d) 及び図7 (g) 実線参照)。また、プリチャージ制御回路77は、ローレベルに立ち下がった第1プリチャージ制御信号 (PRCH1) が入力されると、第2プリチャージ制御信号 (PRCH2) をローレベルからハイレベルに立上げ、第2プリチャージ回路26でのプリチャージ動作を終了する。 (図7 (e) 実線参照)

【0062】これによって上述の実施の形態1で説明したように、データ入力部28は、入力されたアドレスに基づいて、ワードライン選択信号 (WL) をメモリセルアレイ24のワード線に与え (図7 (h) 参照)、前記アドレスに対するメモリセルアレイ24に格納されたデータを読み出し、入出力端子44からデータD0~Dmを出力する (図7 (i) 参照)。

【0063】高電圧動作状態での半導体記憶装置70の読出動作について、以下に説明する。

【0064】この場合に、第1プリチャージ回路25を用いてメモリセルアレイ24及びダミーメモリセル群51の各ビット線に対してプリチャージを行うことで、プリチャージの電圧レベルは検出電圧レベル (ICE) 以上になる。疑似プリチャージ判断検出回路74は、このことを電源投入時に予め検出し、ローレベルの疑似プリチャージ検出信号 (PPRC) をプリチャージ制御回路77に出力している (図7 (c) 破線参照)。したがって、プリチャージ制御回路77は、ハイレベルの疑似プリチャージ検出信号 (PPRC) を入力しておらず、第1プリチャージ制御信号 (PRCH1) が与えられても、ローレベルの第2プリチャージ制御信号 (PRCH2) を出力しない (図7 (e) 破線参照)。これによって、同期信号発生回路33からハイレベルの第1プリチャージ制御信号 (PRCH1) が与えられる第1プリチャージ回路25だけがメモリセルアレイ24のビット線に対してプリチャージを行うことになる。

【0065】上述の実施の形態3の半導体記憶装置70によれば、電源投入時に第1プリチャージ回路25でメモリセルアレイ24の各ビット線のプリチャージを行うことができるかどうかを検出しているので、遅延時間を設定する必要がなく、読出動作に無駄な時間が掛かからず、動作速度の向上を図ることができる。

【0066】なお、実施の形態3では、電源投入時に第1プリチャージ回路25で行うプリチャージが完了するかどうかを検出しているが、電源投入時には限定されず、アドレス入力前であれば、いつ行われてもよい。

【0067】また、前記電源投入検出回路71からの電

源投入検出信号 (DCIN) を第 1 プリチャージ回路 25 に直接与えて、プリチャージ終了検出回路 27 がメモリセルアレイ 24 又はダミーメモリセル群 51 のビット線のプリチャージが完了するかどうか検出を行って、前記疑似プリチャージ検出信号 (PPRC) と同様の信号を出力するようにしてもよい。

【0068】なお、上述した実施の形態 1 乃至実施の形態 3 では、読出動作についてのみ説明をしたが、前述の読出動作に限らず書込動作にプリチャージを行うときにも適用される。

【0069】また、上述の第 1 プリチャージ回路 25 及び第 2 プリチャージ回路 26 は、MOS トランジスタを用いた構成に限定されず、他のトランジスタ等を用いてもよい。なお、第 2 プリチャージ回路 26 を用いてメモリセルアレイ 24 のビット線をプリチャージしているときに第 1 プリチャージ回路 25 を活性化しない構成にしてもよい。

【0070】また、アドレス遷移検出回路 ATD0 ~ ATDn を用いてアドレスの入力を検出し、その検出によって同期信号発生回路 33 によって第 1 プリチャージ制

御信号 (PRCH1) を出力しているが、アドレスの入力の検出をチップイネーブル信号等を用いて検出する構成でもよい。

【0071】

【発明の効果】上述の本発明の半導体記憶装置の構成によれば、第 1 プリチャージ手段と第 2 プリチャージ手段とを半導体記憶装置の動作状態によって使い分けることで、高電圧動作状態のときには消費電流を低減することができ、低電圧動作状態のときは確実にプリチャージを行うことができる。また、第 1 プリチャージ手段でプリチャージが完了するかどうかを予め検出することで、完了しない場合に直ちに第 2 プリチャージ手段を用いてプリチャージを行うので、半導体記憶装置の動作速度の向上を図ることができる。

【図面の簡単な説明】

【図 1】実施の形態 1 の半導体記憶装置の内部構成を示すブロック図である。

【図 2】実施の形態 1 の半導体記憶装置の読出動作を説明するためのタイムチャートである。

【図 3】実施の形態 2 の半導体記憶装置の内部構成を示すブロック図である。

【図 4】ダミーメモリセル群及びプリチャージ終了検出回路に関する内部構成を示す回路図である。

10 【図 5】実施の形態 3 の半導体記憶装置の電氣的内部構成を示すブロック図である。

【図 6】疑似プリチャージ部及び疑似プリチャージ判断検出回路の内部構成を示した回路図である。

【図 7】半導体記憶装置の読出動作を説明するためのタイムチャートである。

【図 8】従来の半導体記憶装置の内部構成を示すブロック図である。

【図 9】従来の半導体記憶装置のデータの読出動作を示すタイムチャートである。

20 【符号の説明】

20, 50, 70 半導体記憶装置

22 アドレス入力部

24 メモリセルアレイ

25 第 1 プリチャージ回路

26 第 2 プリチャージ回路

27 プリチャージ終了検出回路

28 データ入出力部

37, 77 プリチャージ制御回路

51 ダミーメモリセル群

30 52, 52a ダミーメモリセル

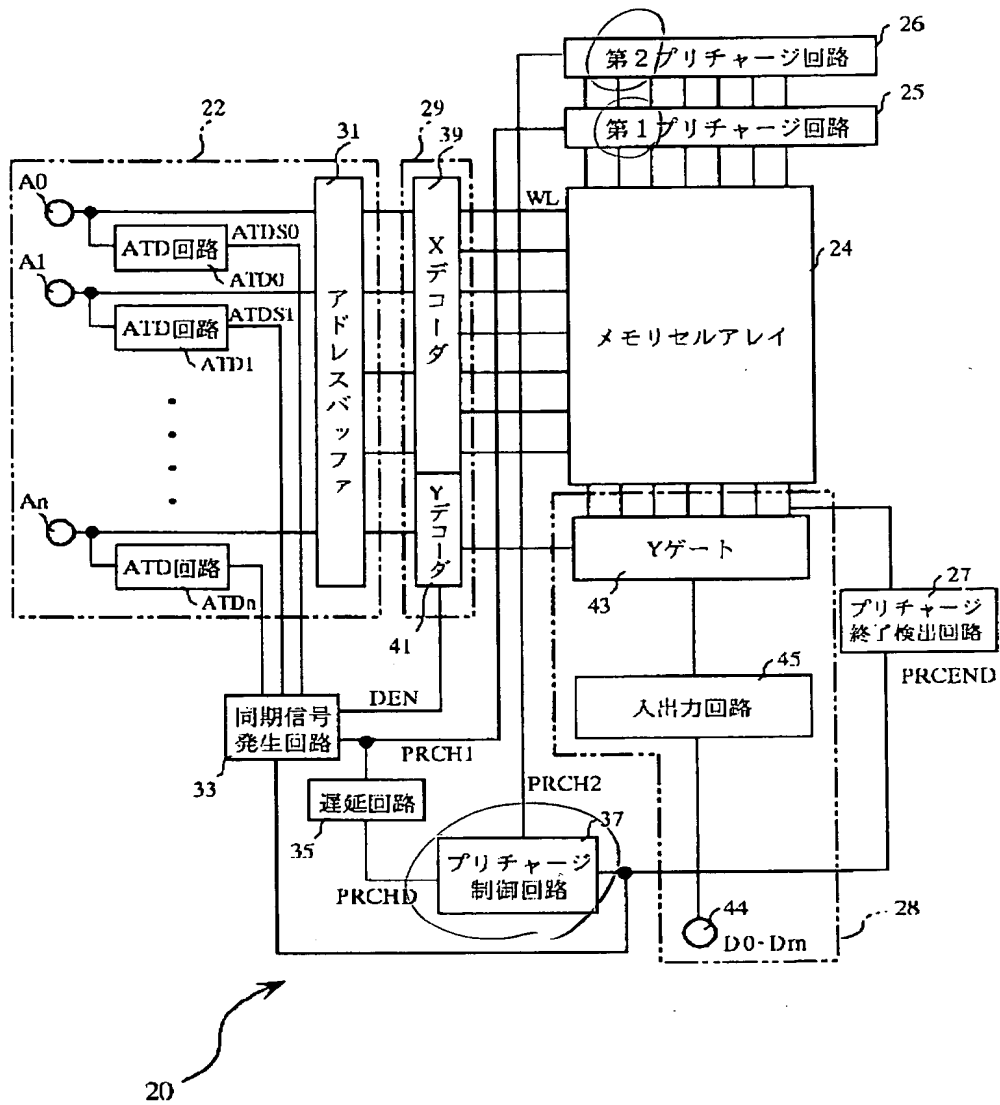
71 電源投入検出回路

72 疑似プリチャージ部

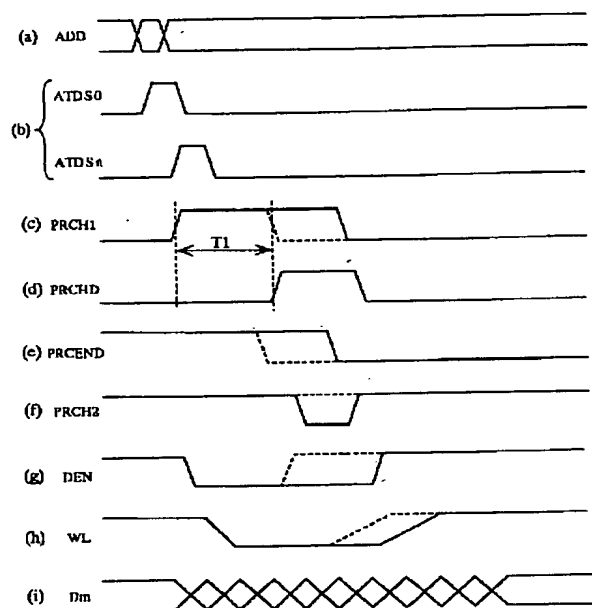
74 疑似プリチャージ判断検出回路

76 疑似プリチャージ回路

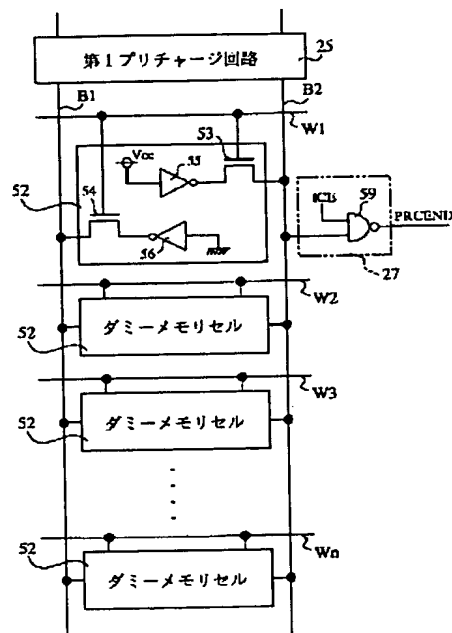
【図1】



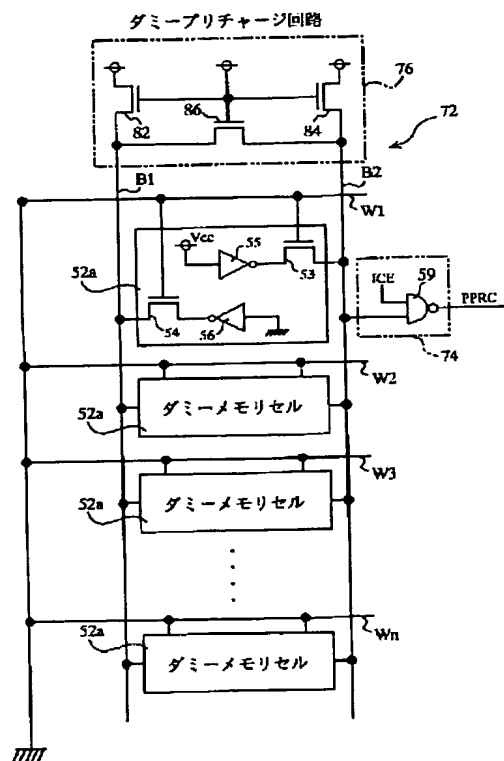
【図 2】



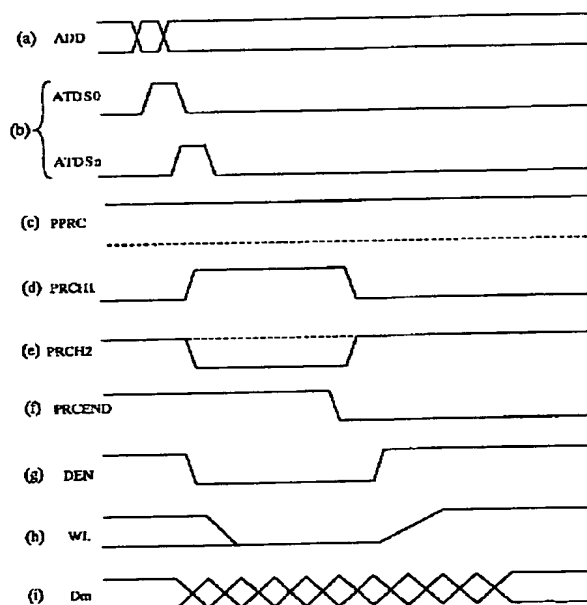
【図 4】



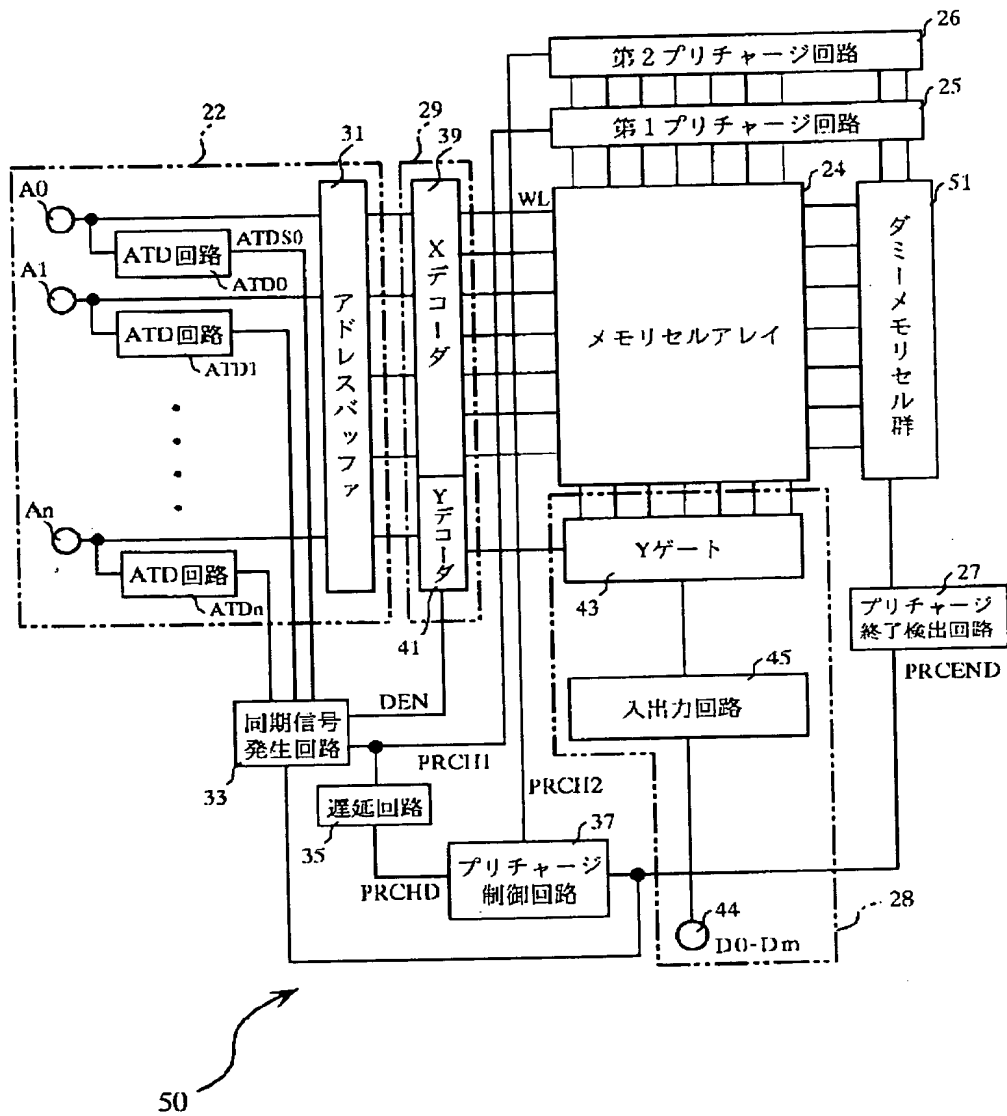
【図 6】



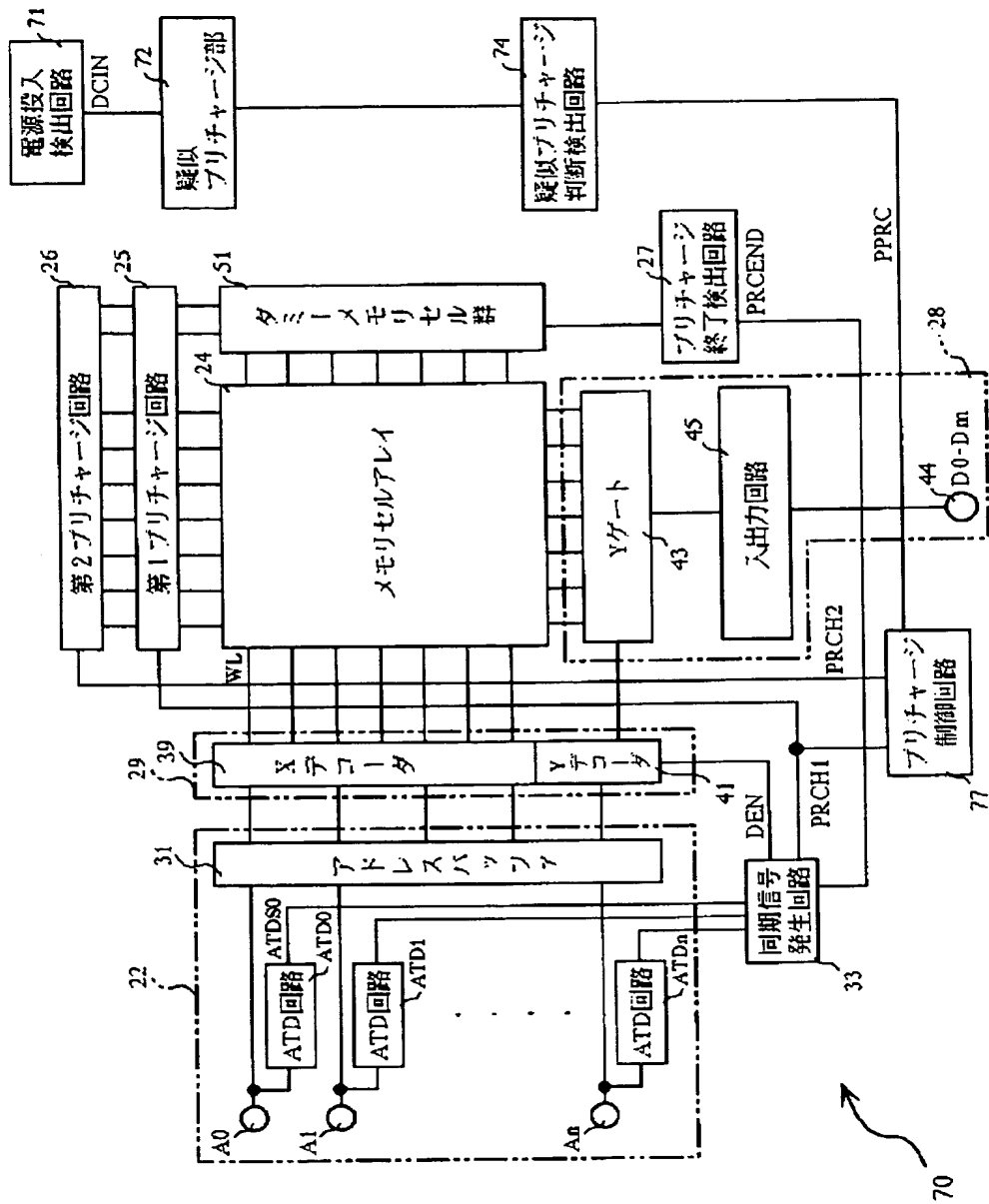
【図 7】



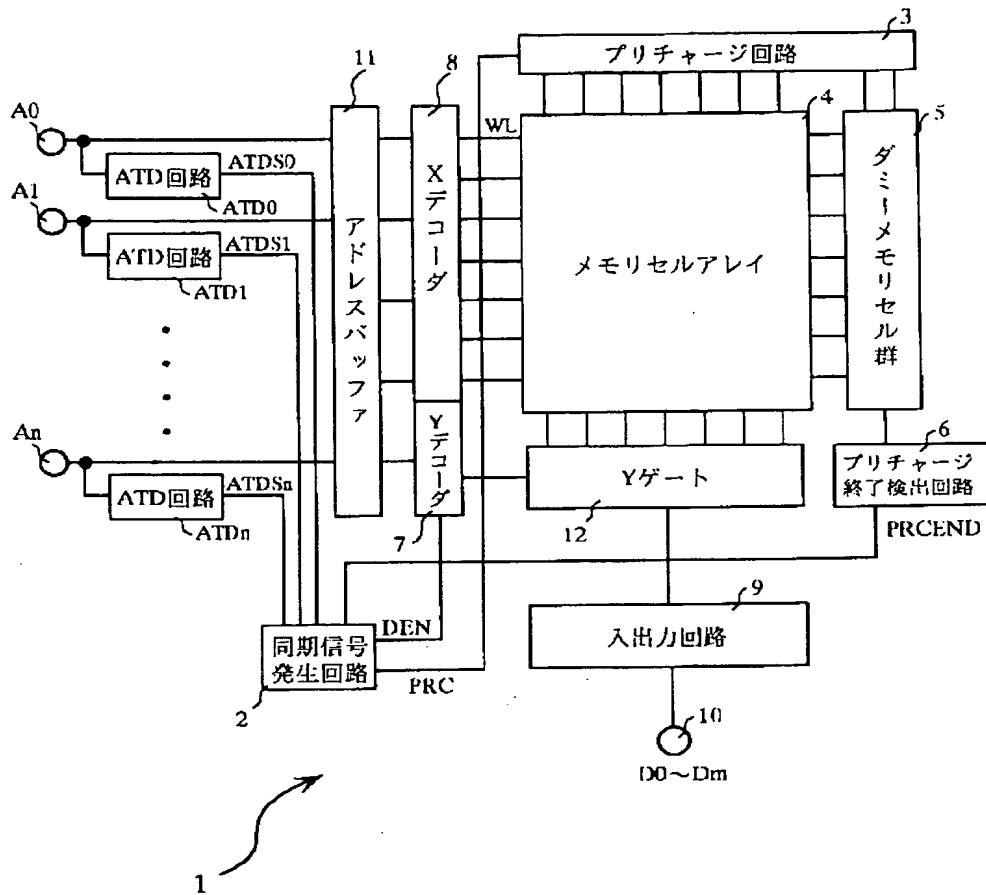
【図 3】



【図5】



【図 8】



【図 9】

